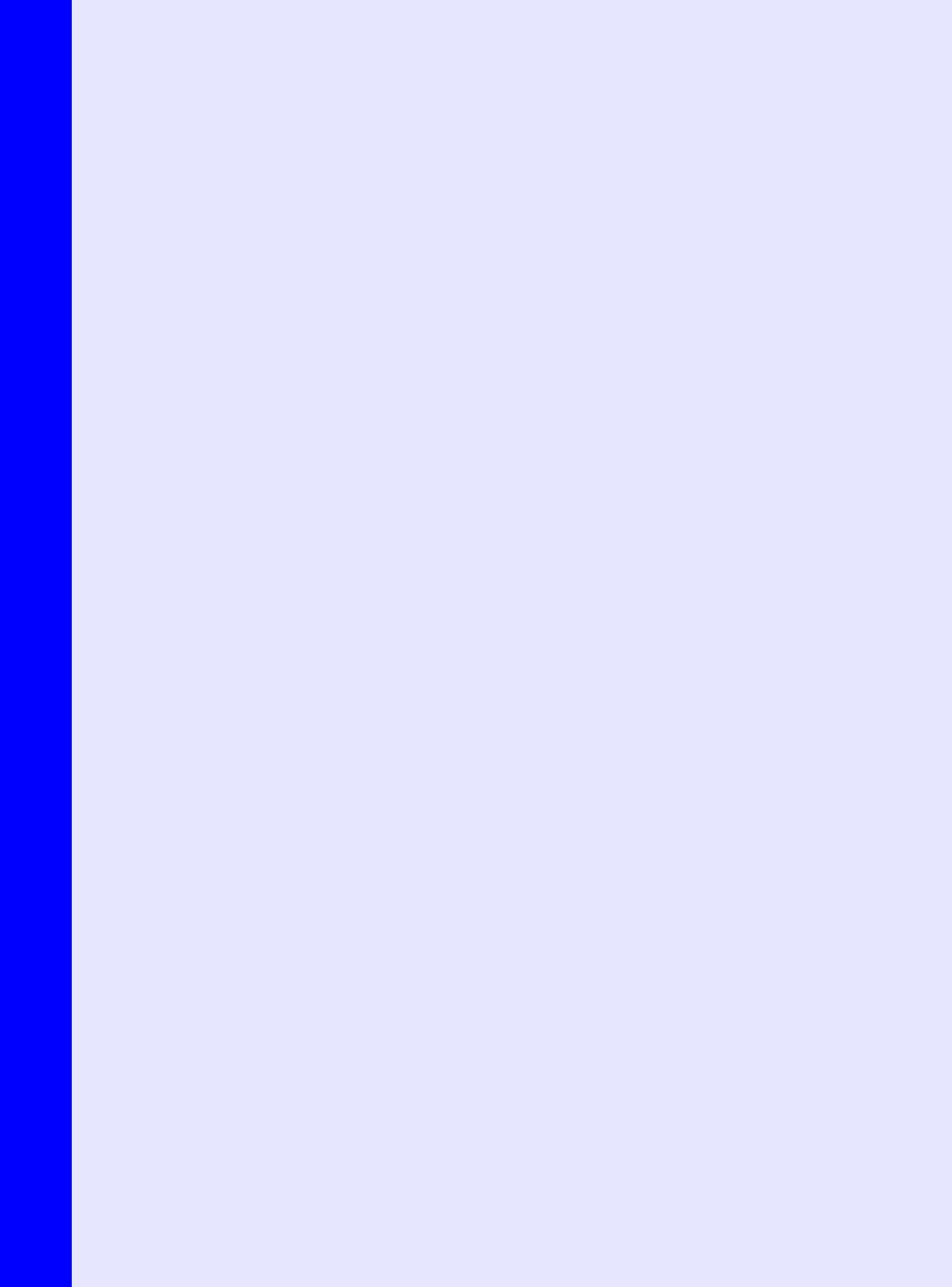


단일 트랜지스터 증폭기와 캐스코드 증폭기

- 4.1 단일 트랜지스터 증폭기 개요 · 291
- 4.2 소신호 등가회로 · 299
- 4.3 공통소스(common source) 증폭기 · 306
- 4.4 공통게이트(common gate) 증폭기 · 315
- 4.5 공통드레인(common drain) 증폭기 · 322
- 4.6 주파수 특성 · 328
- 4.7 단일 트랜지스터 증폭기의 특성 비교 · 358
- 4.8 캐스코드(cascode) 증폭기 · 361
 - 요약 · 377
 - 참고문헌 · 378
 - 연습문제 · 379



제 4 장 단일 트랜지스터 증폭기와 캐스코드 증폭기

전자장치에서 신호처리를 하기 위해서는, 먼저 신호가 뒤에 연결되는 전자장치에서 노이즈보다 훨씬 크게 되도록, 신호를 증폭(amplification)할 수 있어야 한다. 따라서 전자장치에서 가장 기본적인 회로가 증폭기 회로이다. 실제 전자장치에서 사용되는 증폭기 회로는 여러 개의 트랜지스터로 구성되어 있다. 이와 같이 여러 개의 트랜지스터로 구성된 증폭기 회로를 이해하려면, 먼저 단일 트랜지스터 증폭기의 성질을 이해하는 것이 필수적이다. MOS 회로에서 단일 트랜지스터 증폭기로는 공통소스(common source), 공통게이트(common gate)와 공통드레인(common drain) 증폭기의 세 종류가 있다. [1, 2, 3, 4]

이 장에서는 증폭기의 일반적인 성질, 증폭기 회로 해석에 필요한 소신호 등가회로, 세 가지 단일 트랜지스터 증폭기의 DC 전달함수, 소신호 전압이득(small signal voltage gain)과 주파수 특성 등을 비교 설명하고 공통소스와 공통게이트 증폭기를 결합시킨 캐스코드(cascode) 증폭기의 동작을 설명한다.

4.1 단일 트랜지스터 증폭기 개요

그림 4.1.1 에 이 세 가지 단일 트랜지스터 증폭기의 개념도를 보였다. 전자회로에서 두 개 단자(terminal)의 조합을 포트(port)라고 부른다. 증폭기에서는 입력 포트와 출력 포트가 있다. 증폭기는 최소 세 개의 단자를 필요로 하는데, 이 경우는 두 개의 포트가 한 개의 단자를 공유한다.

공통소스 증폭기는 게이트 단자와 소스 단자를 입력 포트, 드레인 단자와 소스 단자를 출력 포트(port)로 삼는데, 소스 단자가 입력과 출력 포트에 공통으로 들어가므로 공통소스 증폭기라고 부른다. 이 공통소스 노드는 보통 그라운드 노드에 연결된다.

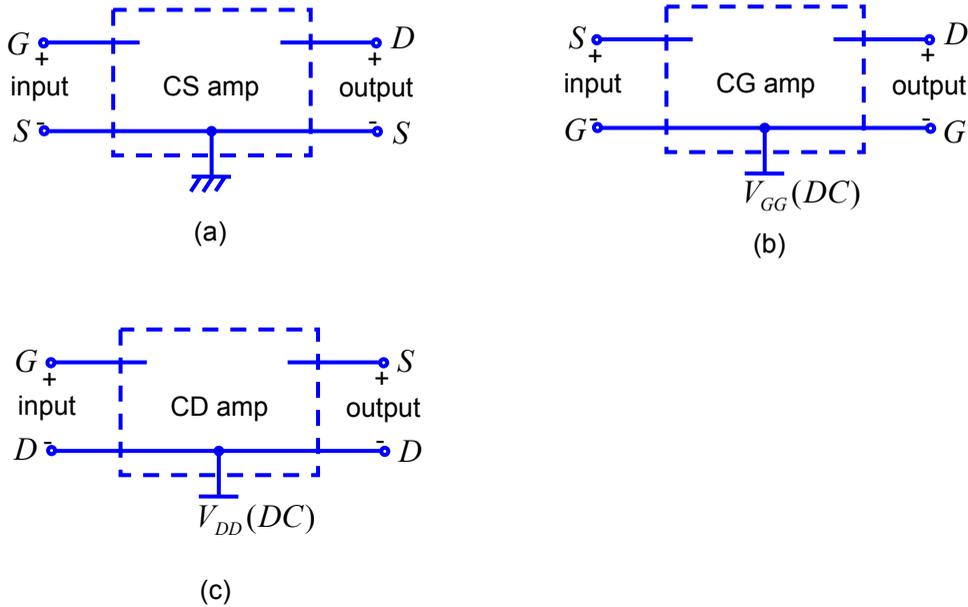


그림 4.1.1 단일 트랜지스터 증폭기

(a) CS (공통소스) (b) CG (공통게이트) (c) CD (공통드레인)

공통게이트 증폭기는 소스 단자와 게이트 단자를 입력 포트, 드레인 단자와 게이트 단자를 출력 포트에 삼는데, 게이트 단자가 입력과 출력 포트에 공통으로 들어가므로 공통게이트 증폭기라고 부른다. 이 공통 게이트 노드는 보통 DC 바이어스 전압원(VGG)에 연결된다. 소신호 입장에서는 이 VGG 노드는 그라운드 노드와 동일하다.

공통드레인 증폭기는 게이트 단자와 드레인 단자를 입력 포트, 소스 단자와 드레인 단자를 출력 포트에 삼는데, 이를 소스 팔로워(source follower)라고도 부른다. 이 공통 드레인 단자는 보통 공급 전압원(NMOS 경우 VDD)에 연결된다. 소신호 입장에서는 이 공급전압원 노드는 그라운드 노드와 동일하다.

보다 구체적으로, NMOS 트랜지스터와 저항 부하(load)를 사용하는 세 가지 형태의 단일 트랜지스터 증폭기를 그림 4.1.2에 보였다.

4.1.1 NMOSFET 를 이용한 단일 트랜지스터 증폭기

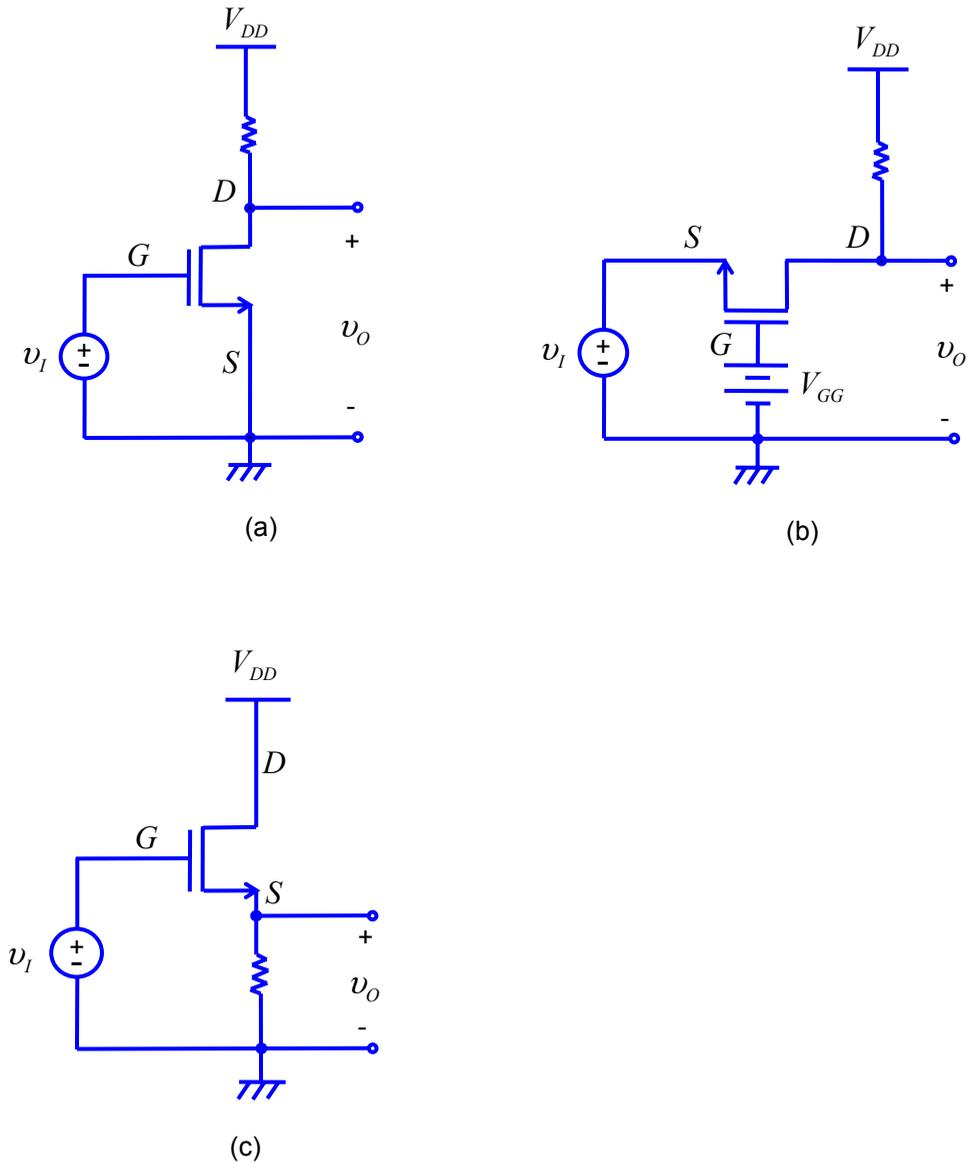


그림 4.1.2 NMOS 트랜지스터와 저항을 이용한 단일 트랜지스터 증폭기

(a) CS (b) CG (b) CD

그림 4.1.2(a)의 공통소스(CS) 증폭기에서, 입력전압 v_i 는 DC 바이어스 전압과 DC 성분(시간에 대한 평균 전압)이 0 인 신호 전압을 직렬로 연결하여 서로 합한 값이다. 일반적으로 신호 전압은 그 진폭이 DC 바이어스 전압값보다 훨씬 작다. 따라서 DC 동작점 전압을 대신호(large signal) 전압이라고 부르고, 신호 전압을 소신호(small signal) 전압이라고 부른다. DC 바이어스 전압이 필요한 이유는, MOS 트랜지스터를 saturation 영역에서 동작하게 함으로써 증폭기의 이득(gain)을 크게 하기 위함이다. CS 증폭기에서 입력전압 v_i 가 증가하면, NMOSFET의 v_{GS} 값이 증가하여 드레인 전류가 증가하므로, 부하저항 양단의 전압강하가 증가하여 출력전압 v_o 는 감소하게 된다. 입력전압 v_i 가 증가하면 출력전압 v_o 가 감소하므로, 이 경우 소신호 전압이득은 음(마이너스)이 된다. 마찬가지로, PMOSFET를 이용한 CS 증폭기에서도 소신호 전압이득은 음이다.

그림 4.1.2(b)의 공통게이트(CG) 증폭기에서도, 증폭기의 이득을 증가시키기 위해 DC 바이어스 전압 V_{GG} 를 게이트 단자와 그라운드 단자 사이에 연결하였다. 이 경우 입력전압 v_i 는 소신호 성분만 가진다. 게이트 단자와 그라운드 단자의 전압은 DC 전압 V_{GG} 만큼 차이가 나지만 소신호 성분만 고려하면 서로 같은 단자가 된다. 따라서 그림 4.1.2(b)에서와 같이 입력 포트와 출력 포트의 공통 단자가 그라운드이더라도, 이 회로를 공통게이트 증폭기라고 부른다. CG 증폭기에서 입력전압 v_i 가 증가하면, NMOSFET의 v_{GS} 값이 감소하여 드레인 전류가 감소하므로, 부하저항 양단의 전압강하가 감소하여 출력전압 v_o 는 증가하게 된다. 입력전압 v_i 가 증가하면 출력전압 v_o 도 증가하므로, 이 경우 소신호 전압이득은 양(플러스)이 된다. 마찬가지로, PMOSFET를 이용한 CG 증폭기에서도 소신호 전압이득은 양이다.

그림 4.1.2(c)의 공통드레인(CD) 증폭기에서는, 입력전압 v_i 는 DC 바이어스 전압과 소신호 신호전압의 직렬 연결로 구성된다. 드레인 단자는 공급전압 V_{DD} 에 연결되지만 소신호 측면에서는 그라운드와 동일한 노드이므로, 이 증폭기를 공통드레인 증폭기라고 부른다. 입력전압 v_i 가 증가하면, NMOSFET의 v_{GS} 값이 조금 증가하여 드레인 전류가 조금 증가하므로, 부하저항 양단전압이 증가하여 출력전압 v_o 도 증가하게 된다. 따라서 소신호 전압이득은 양(플러스)이 된다. PMOSFET를 사용하는 CD 증폭기에서도 소신호 전압이득은 양이 된다. 그런데 CD 증폭기에서는 소신호

전압이득이 1 보다 조금 작은 양의 값을 가지므로 출력전압 v_o 가 입력전압 v_i 와 가까운 값을 가지게 된다. 이는 CD 증폭기에서 $v_o = v_i - v_{GS}$ 의 관계식이 성립하는데, v_i 가 변하더라도 v_{GS} 값이 별로 변하지 않기 때문이다. 그리하여 CD 증폭기에서는 출력전압 v_o 가 입력전압 v_i 의 변동을 거의 그대로 따라가게 되므로, CD 증폭기를 소스 팔로워(source follower)라고도 부른다.

4.1.2 증폭기의 입력 및 출력 임피던스

증폭기는 그림 4.1.3 과 같이 Norton 혹은 Thevenin 등가회로로 표시할 수 있다. $A_v = G_m \cdot Z_{out}$ 인 관계가 성립하기만 하면, 그림 4.1.3(a)와 그림 4.1.3(b) 회로는 완전히 동일한 회로이다. Z_{in} 과 Z_{out} 은 각각 입력 임피던스와 출력 임피던스를 나타낸다. 저주파 신호에 대해서는 Z_{in} 과 Z_{out} 은 각각 저항 성분인 입력 저항 R_{in} 과 출력

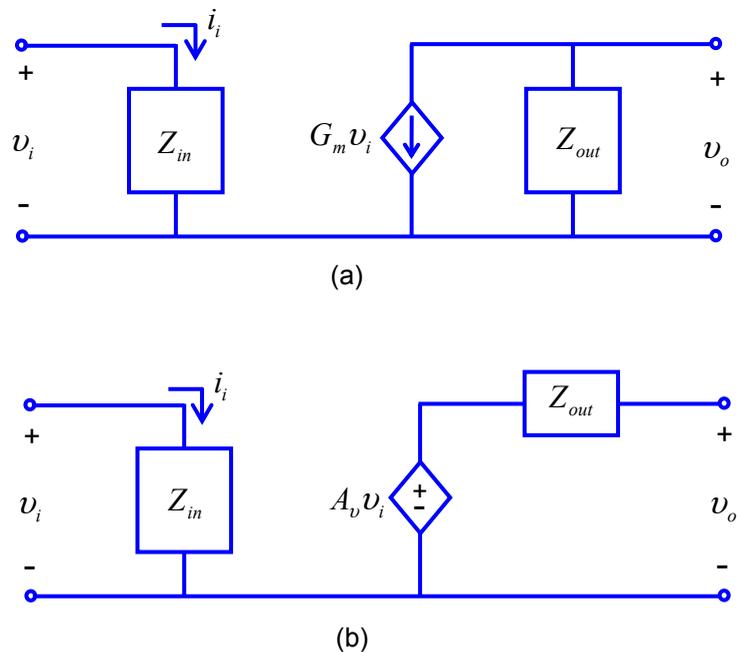


그림 4.1.3 일반적인 증폭기의 소신호 등가 회로

(a) Norton 형태 (b) Thevenin 형태

저항 R_{out} 으로 바뀐다. 그림 4.1.3 회로는 둘 다 전압입력(v_i)을 증폭시키는 회로인데, 이를 전류입력(i_i)을 증폭시키는 회로로 변환시킬 수 있다. 즉, $G_m v_i$ 와 $A_v v_i$ 를 각각 $A i_i$ 와 $Z_m i_i$ 로 바꾸면 된다. 그림 4.1.3(a)와 (b)의 입력신호 v_i 의 왼쪽의 증폭기 입력단에 Thevenin 혹은 Norton 신호원을 그림 4.1.4 와 같이 연결한다고 가정하면, 증폭기의 입력 임피던스(Z_{in}) 값이 크면 전압신호원을 연결하기가 유리하고 입력 임피던스가 작으면 전류신호원을 연결하기가 유리하다. 즉, 그림 4.1.4(a)와 같이 Thevenin 형태로 표시되는 전압신호원의 소스 임피던스(Z_S) 값에 비해 증폭기의 입력 임피던스(Z_{in}) 값이 훨씬 더 크면 증폭기 입력전압(v_i) 크기가 신호원 전압(v_s) 크기와 거의 같게 되어, 증폭기가 대부분의 신호 전압을 받아들일 수 있다.

$$v_i = \frac{Z_{in}}{Z_S + Z_{in}} \cdot v_s \tag{4.1.1}$$

마찬가지로, 그림 4.1.4(b)와 같이 Norton 형태로 표시되는 전류신호원을 증폭기 입력단에 연결할 경우, Z_S 값에 비해 Z_{in} 값이 작을수록 증폭기 입력전류(i_i) 크기가 커지게 되어, 증폭기가 신호 전류를 더 많이 받아들인다.

$$i_i = \frac{Z_S}{Z_S + Z_{in}} \cdot i_s \tag{4.1.2}$$

그림 4.1.4 의 Thevenin 형태 전압신호원과 Norton 형태 전류신호원은 센서 출력신호, 신호발생기(function generator) 출력신호, 혹은 앞 단 증폭기의 출력신호 등이 될 수 있다.

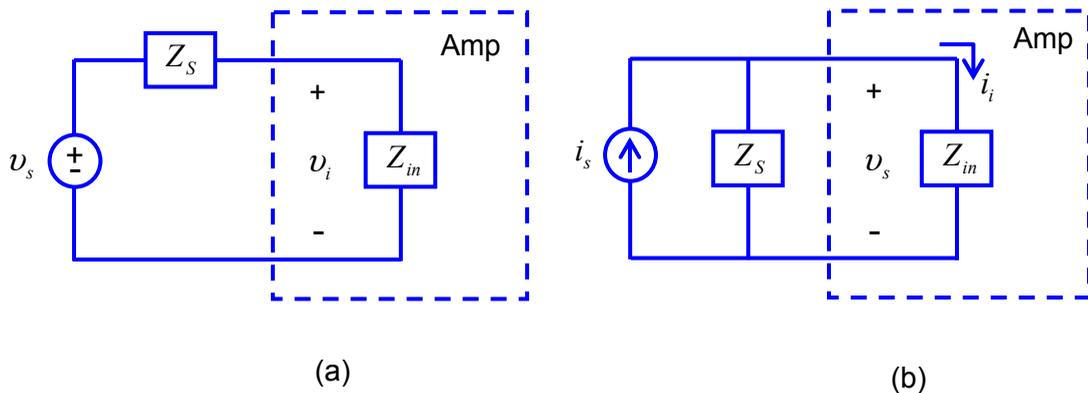


그림 4.1.4 신호원을 증폭기 입력에 연결한 형태

(a) 전압신호원(Thevenin) (b) 전류신호원(Norton)

출력단에 대해서도 마찬가지로 생각하면, 증폭기 출력 임피던스(Z_{out}) 값이 부하 임피던스(Z_L) 값보다 훨씬 작으면 전압을 출력하기에 유리하고, Z_{out} 값이 Z_L 값보다 훨씬 크면 전류를 출력하기에 유리하다. 이 두 경우를 그림 4.1.5 에 보였다. 다음의 두 관계식을 보면, 앞의 사실을 확인할 수 있다.

$$v_o = \frac{Z_L}{Z_{out} + Z_L} \cdot (A_v v_i \text{ or } Z_m i_i) \tag{4.1.3}$$

$$i_o = \frac{Z_{out}}{Z_{out} + Z_L} \cdot (G_m v_i \text{ or } A_i i_i) \tag{4.1.4}$$

그림 4.1.1 과 그림 4.1.2 에 보인 세 가지 형태의 증폭기는 그 입력 및 출력 임피던스 값이 표 4.1.1 과 같아서 적합한 입력신호와 출력신호가 각각 정해진다. 표 4.1.1 에서 공통소스 증폭기는 입력 임피던스 값이 크고 출력 임피던스 값이 크므로, 전압신호를 입력으로 받아들여 전류신호를 출력하기에 유리하다.

신호처리를 하기 위해서는 어떤 값 이상의 전압이득이나 전류이득이 필요한데, 한 단의 트랜지스터 증폭기로는 이 값을 얻기 어려운 경우가 많다. 이러한 경우에는 두 단 또는 그 이상의 증폭단을 직렬로 연결하여 높은 이득을 얻는다. 예를 들어, 두 단의 증폭기로 전압입력을 받아들여 전류출력을 내는 증폭기를 구현하려면, 다음의 두 가지 조합이 가능하다.

- 조합 1: CS amp + CG amp (cascode amp)
- 조합 2: CD amp + CS amp

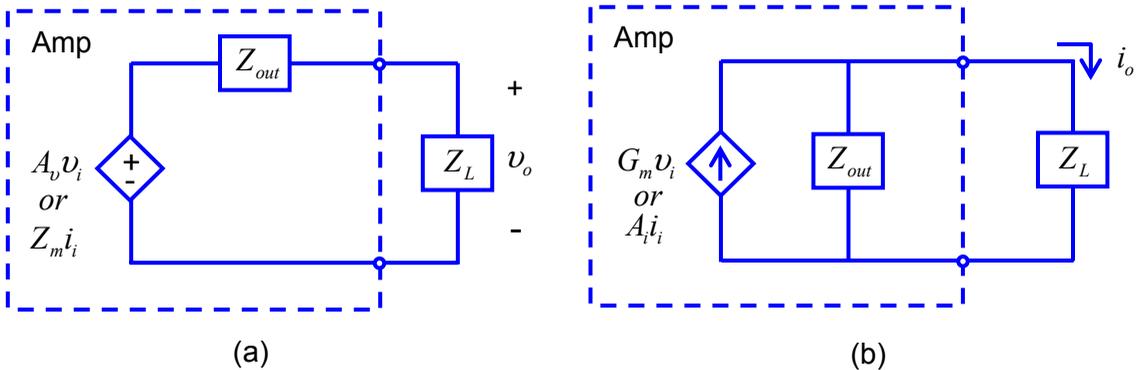


그림 4.1.5 증폭기 출력단에 부하 임피던스를 연결한 경우

(a) 전압출력 (b) 전류출력

조합 1은 CS amp 다음에 CG amp 를 직렬로 연결하는 형태인데, CS amp 는 전압신호를 전류신호로 증폭시키는데 유리하고, CG amp 는 전류신호를 전류신호로 증폭시키는데 유리하기 때문이다. 조합 2는 CD amp 다음에 CS amp 를 직렬로 연결하는 형태인데, CD amp 는 전압신호를 전압신호로 증폭시키고 CS amp 는 전압신호를 전류신호로 증폭시킨다. 또 CD amp 는 소스 임피던스(Z_s) 값이 매우 큰 신호원을 입력신호로 연결하여도 이를 받아들여, 소스저항이 매우 작은 신호로 변환시켜, 뒤따르는 CS amp 가 이를 잘 증폭시키도록 도와준다. 따라서 CD amp 는 전압이득은 1 보다 조금 작지만 신호의 임피던스 값을 작은 값으로 변환한다.

표 4.1.1 각 증폭기의 입출력 임피던스 크기와 적합한 입출력신호

| 증폭기 유형 | 입력 임피던스 | 출력 임피던스 | 적합한 입력신호 | 적합한 출력신호 | 적합한 증폭기 형태 |
|--------|---------|---------|----------|----------|----------------------|
| CS amp | 대 | 대 | 전압 | 전류 | Transconductance amp |
| CG amp | 특소 | 특대 | 전류 | 전류 | Current amp |
| CD amp | 특대 | 특소 | 전압 | 전압 | Voltage amp |

4.2 소신호 등가회로

4.2.1 소신호(small-signal) 등가회로 개념

그림 4.2.1 에 보인 저항 R_L 을 부하(load)로 사용하는 공통소스 증폭기 회로에서, 전체 입력전압 v_I 와 전체 출력전압 v_O 는 각각 다음 식으로 표시된다.

$$v_I = V_{GS} + v_{gs} \quad (4.2.1.a)$$

$$v_O = V_O + v_o \quad (4.2.1.b)$$

여기서 V_{GS} 와 V_O 는 각각 DC 동작점에서의 DC 입력전압 및 출력전압을 나타내고 v_{gs} 와 v_o 는 소신호 입력전압 및 출력전압으로 둘 다 $0V$ 를 중심으로 +, -로 변환한다. DC 동작점 전압에 대해서는 변수 이름과 아래 첨자를 모두 대문자로 하였고, 소신호 전압에 대해서는 이 둘을 모두 소문자로 하였다.

DC 동작점을 구하기 위해, 먼저 소신호 전압 성분들인 v_{gs} 와 v_o 를 0 으로 두면 $v_I = V_{GS}$, $v_O = V_O$ 가 되고, 트랜지스터의 구동 특성식과 부하 곡선(load line)식을 연립하여 동작점을 구할 수 있다. 트랜지스터는 saturation 영역에서 동작한다고 가정하고 channel length modulation 현상을 무시하면($\lambda = 0$ 로 가정) 트랜지스터 구동 특성은 다음 식으로 표시된다.

$$I_O = \frac{1}{2} \cdot \mu_n C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2 \quad (4.2.2)$$

여기서 전체 출력전류 i_O 는 DC 동작점에서의 값인 I_O 와 같게 두었다. 또 저항부하 R_L 에 대한 부하 곡선(load line)식은 다음과 같이 주어진다.

$$I_O = \frac{V_{DD} - V_O}{R_L} \quad (4.2.3)$$

여기서 V_O 는 출력전압 v_O 의 DC 동작점 값이다. 식(4.2.2)를 식(4.2.3)에 대입하면 DC 동작점에서의 출력전압 값 V_O 는 다음 식으로 주어진다.

$$V_O = V_{DD} - \frac{1}{2} \cdot \mu_n C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2 \cdot R_L \quad (4.2.4)$$

위 식은 트랜지스터 M 이 saturation 영역에서 동작할 때 성립하는 식인데 일반적으로 전체 입력전압 v_I 가 0 에서부터 V_{DD} 까지 변할 때의 출력전압 v_O 를 그림

4.2.1(c)에 보였다.

다음에 소신호 성분이 0 이 아닌 경우를 고려한다. 그림 4.2.1(d)에 0V 를 중심으로 +, -로 변하는 입력 및 출력 소신호 전압인 v_{gs} 와 v_o 의 시간에 대한 파형을 보였 다. 전체 입력전압 v_I 는 식(4.2.1.a)에 보인 대로 $v_I = V_{GS} + v_{gs}$ 가 된다.

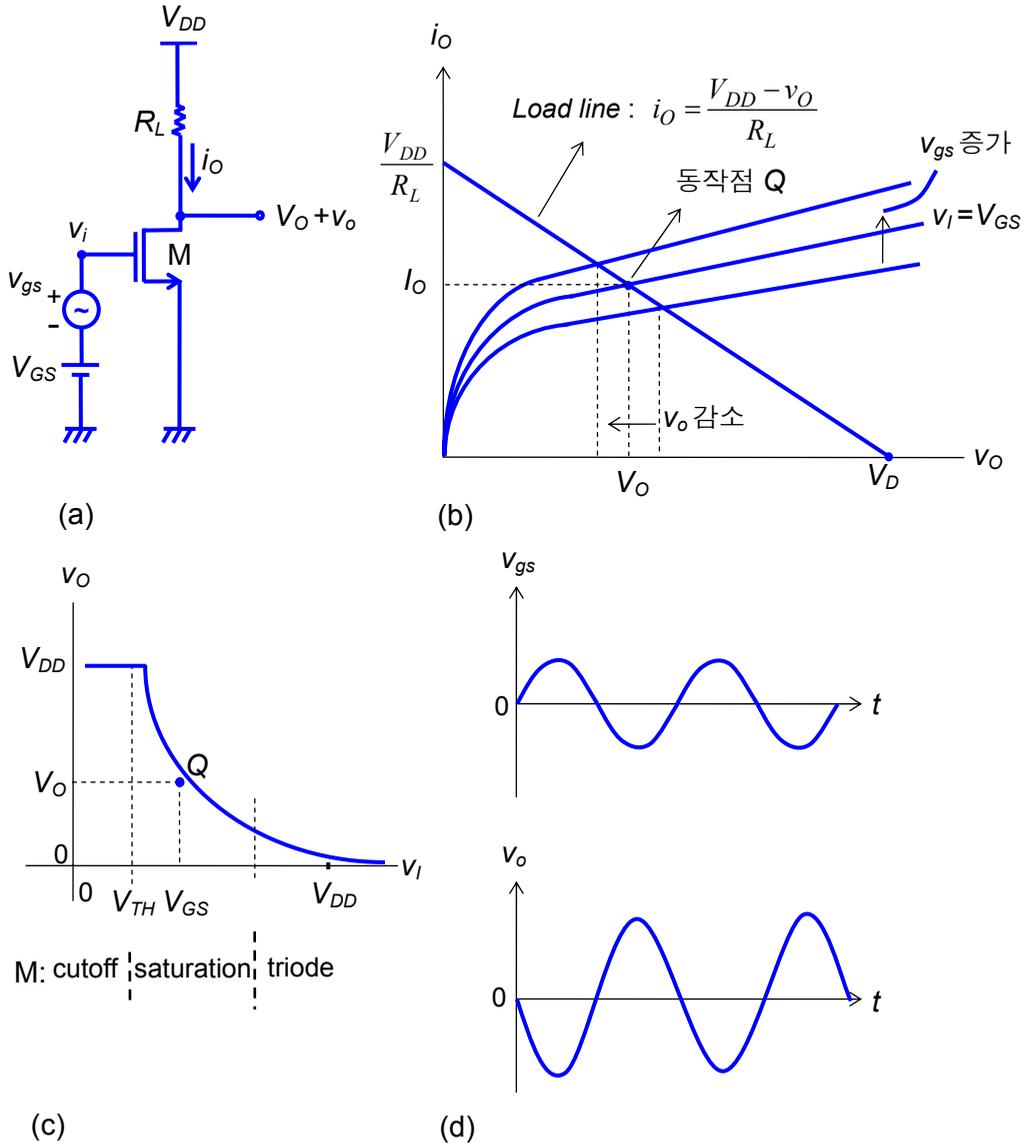


그림 4.2.1 저항부하 공통소스(common source) 증폭기

(a) 회로도 (b) 동작점 계산 (c) DC 전달 함수 (d) 소신호 전압 파형

트랜지스터 M 이 saturation 영역에서 동작할 때 전체 출력전류 i_O 는 다음 식으로 표시된다.

$$i_O = \frac{1}{2} \cdot \mu_n C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} + v_{gs} - V_{TH})^2 \quad (4.2.5)$$

$$i_O = \frac{V_{DD} - (V_O + v_o)}{R_L} \quad (4.2.6)$$

식(4.2.5)에서 트랜지스터의 channel length modulation 현상은 무시하였다. 식(4.2.5)와 식(4.2.6)을 연립하여 풀면 출력 동작점 전압 V_O 는 식(4.2.4)로 주어지고 소신호 출력전압 v_o 는 다음 식으로 주어진다.

$$\begin{aligned} v_o &= -R_L \cdot \mu_n C_{ox} \cdot \frac{W}{L} \cdot \left\{ (V_{GS} - V_{TH}) \cdot v_{gs} + \frac{v_{gs}^2}{2} \right\} \\ &= -R_L \cdot \mu_n C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH}) \cdot v_{gs} \cdot \left\{ 1 + \frac{v_{gs}}{2(V_{GS} - V_{TH})} \right\} \end{aligned} \quad (4.2.7)$$

또 소신호 출력전류 i_o 는 $i_o = -v_o/R_L$ 과 식(4.2.2)에 주어진 관계식을 이용하면 다음 식으로 주어진다.

$$i_o = 2I_O \cdot \frac{v_{gs}}{V_{GS} - V_{TH}} \cdot \left\{ 1 + \frac{v_{gs}}{2(V_{GS} - V_{TH})} \right\} \quad (4.2.8)$$

그리하여 트랜지스터 M 이 saturation 영역에서 동작할 때 그림 4.2.1 회로의 동작은 DC 동작점을 결정하는 식(4.2.4)와 소신호 입력 및 출력전압 관계를 결정하는 식(4.2.7)에 의하여 완전하게 표시된다.

식(4.2.7)을 살펴보면 v_{gs}^2 항 때문에 소신호 입력전압 v_{gs} 의 값이 클 경우에 소신호 출력전압 v_o 의 소신호 입력전압 v_{gs} 에 대한 관계식은 비선형식이 되어 왜곡(distortion)현상이 발생한다. 이 왜곡률을 10% 이내로 하기 위해서는 소신호 입력전압 크기 $|v_{gs}|$ 값이 항상 다음 관계식을 만족시켜야 한다.

$$|v_{gs}| \leq 0.2(V_{GS} - V_{TH}) \quad (4.2.9)$$

그림 4.2.1(a)회로에서 MOS 트랜지스터의 전체 드레인 전류 i_D 는 i_O 와 같으므로

드레인 전류 i_D 의 DC 동작점 값 I_D 와 소신호 전류값 i_d 는 각각 $I_D = I_O$, $i_d = i_o$ 인 관계식으로 표시된다. 따라서 식(4.2.9)에 주어진 관계식이 성립하는 경우, 소신호 드레인 전류 크기 $|i_d|$ 는 DC 동작점 드레인 전류 I_D 에 대해 다음 관계식을 만족한다.

$$|i_d| \leq 0.4 I_D \quad (4.2.10)$$

식(4.2.9)에 주어진 조건이 성립하는 경우에 식(4.2.7)에서 v_{gs}^2 항을 무시하면 소신호 출력전압 v_o 는 소신호 입력전압 v_{gs} 에 대해 다음과 같은 선형 관계식이 성립한다.

$$v_o = -R_L \cdot \mu_n C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH}) \cdot v_{gs} \quad (4.2.11)$$

증폭기 회로 해석에서는 입력과 출력의 소신호 성분끼리의 관계식에 더 관심이 많으므로, 시간에 대해 변하지 않는 DC 양인 입력 동작점 전압 V_{GS} , 공급 전압 V_{DD} , 출력 동작점 전압 V_O 와 출력 동작점 전류 I_D 를 모두 제거하고 그림 4.2.1(a) 회로를 그림 4.2.2(a)회로로 간략화시킬 수 있다.

이때 트랜지스터 M의 특성식도 소신호 출력전류 $i_o(i_d)$ 만 표시하면 되므로, 식(4.2.5)의 전체 전류 i_O 식에서 DC 동작점 전류 I_O 를 제거하고 소신호 성분인 i_o 만 취하면 소신호 전류 i_o 는 다음 식으로 표시된다.

$$i_o = \mu_n C_{ox} \cdot \frac{W}{L} \cdot \left\{ (V_{GS} - V_{TH}) \cdot v_{gs} + \frac{v_{gs}^2}{2} \right\} \approx \mu_n C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH}) \cdot v_{gs} \quad (4.2.12)$$

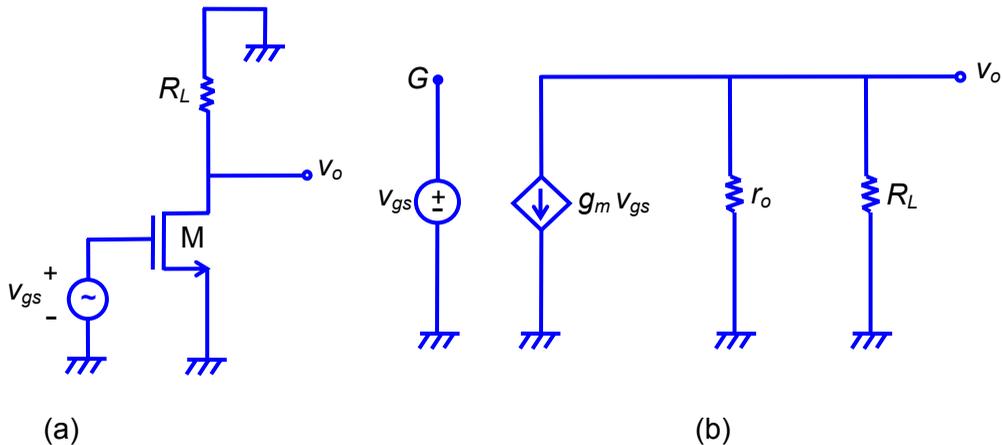


그림 4.2.2 (a) 그림 4.2.1(a) 회로에 대한 소신호 회로 (b) 소신호 등가회로